

SEMICONDUCTOR DEVICE**Publication Number:** 61-230379 (JP 61230379 A) , October 14, 1986**Inventors:**

- BABA TOSHIO
- OGAWA MASAKI

Applicants

- NEC CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 60-072154 (JP 8572154) , April 05, 1985**International Class (IPC Edition 4):**

- H01L-029/80

JAPIO Class:

- 42.2 (ELECTRONICS--- Solid State Components)

JAPIO Keywords:

- R095 (ELECTRONIC MATERIALS--- Semiconductor Mixed Crystals)

Abstract:

PURPOSE: To provide large mutual conductance, and to enable ultraspeed operation by controlling two-element electrons formed on the interface between a first semiconductor layer and a second semiconductor layer by holes injected onto the interface between the second semiconductor and a third semiconductor from a fourth semiconductor layer.

CONSTITUTION: A high-purity GaAs layer 2 in 1. μ m thickness is grown on a semi-insulating GaAs substrate 1, and a high-purity AlAs layer 8 in 20 angstroms thickness, an N-Al_(sub 0.4)Ga_(sub 0.6)As layer 9 containing an Si impurity of 1X10^(sup 18)cm^(sup -3) and having 300 angstroms thickness and a P^(sup +)-Al_(sub 0.4)Ga_(sub 0.6)As layer 10 containing a Be impurity of 3X10^(sup 19)cm^(sup -3) and having 100 angstroms thickness are grown. Al is evaporated and patterned to form a gate electrode 5, unnecessary P^(sup +)-Al_(sub 0.4)Ga_(sub 0.6)As is removed while the gate electrode 5 is used as a mask, and a source 6 and a drain electrode 7 consisting of AuGe/Au are evaporated and alloyed, thus completing a transistor. Accordingly, a semiconductor device, the degree of integration thereof is easily improved and the whole system thereof can be operated at superspeed, is acquired. (From: *Patent Abstracts of Japan*, Section: E, Section No. 486, Vol. 11, No. 73, Pg. 123, March 05, 1987)

JAPIO

© 2004 Japan Patent Information Organization. All rights reserved.
Dialog® File Number 347 Accession Number 2016279

拒絶引用S 03 P 0804W000

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A) 昭61-230379

⑯ Int.Cl.⁴
H 01 L 29/80

識別記号
厅内整理番号
7925-5F

⑮ 公開 昭和61年(1986)10月14日

審査請求 未請求 発明の数 1 (全5頁)

⑯ 発明の名称 半導体装置

⑰ 特願 昭60-72154
⑱ 出願 昭60(1985)4月5日

⑯ 発明者 馬場 寿夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 発明者 小川 正毅 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑯ 代理人 弁理士 内原 晋

明細書

発明の名称 半導体装置

特許請求の範囲

極低不純物濃度の第1の半導体層と、該第1の半導体層上に設けられて該第1の半導体層より電子親和力が小さい第2の半導体層と、該第2の半導体層上に設けられて第1の半導体層より電子親和力が小さくかつ第2の半導体層より電子親和力と禁止帯幅の和が小さくn型不純物を含有する第3の半導体層と、該第3の半導体層上的一部分に設けられP型不純物を高濃度に含有する第4の半導体層と、該第4の半導体層上に設けられかつ該第4の半導体層とオーミック接合を形成するゲート電極と、該ゲート電極を挟んで第1の半導体層と第2の半導体層との界面に存在するキャリアと、電気的コンタクトを形成する一对の電極とを含むことを特徴とする半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は高い相互コンダクタンスを有し高速動作が可能な半導体装置に関する。

(従来技術とその問題点)

高速動作が期待できる能動半導体装置として、半導体ヘテロ界面の2次元電子を利用したFET (Field Effect Transistor) がある(例えば、ジャパン・ジャーナル・オブ・アプライド・フィジックス [Jpn. J. Appl. Phys. 19 (1980) L 255])。これは、電子親和力の異なる半導体のヘテロ界面(例えば、 $Al_xGa_{1-x}As / GaAs$)において、電子親和力の小さな半導体だけに不純物をドーピングし、電子親和力の大きな半導体側に2次元電子を生じさせ、この2次元電子の高い移動度の利用をしている。しかし動作機構からみると、このFETは絶縁膜の替りにワイドギャップの半導体を用いた一種のMISFET(Metal Insulator Semiconductor FET)とみなせるため、SiのMOSFET (Metal Oxide Semiconductor

FET) と同様の利点および欠点を有している。MIS型のFETは、プロセスがバイポーラトランジスタと比べて短く、ブレーナ構造が作り易いことから高集積化が容易である。その反面、デバイスの負荷駆動能力を表す相互コンダクタンスが素子寸法の微細化と共に低下することから、高集積化に伴なう配線容量の増大および外部負荷の駆動による遅延^{の割合}が増大する。したがって、システム全体の速度を高めることは負荷駆動能力の高いバイポーラトランジスタほど容易ではない。

第3図は従来の2次元電子を利用したFETの概略断面図である。第3図において、1は半絶縁性半導体の基板、2は不純物を極力少なくした第1の半導体層、3はn型不純物を含有し第1の半導体層2より電子親和力が小さい半導体からなる電子供給層、4は第1の半導体層2と電子供給層3との界面に形成される2次元電子ガス、5は電子供給層3とショットキ接合を形成するゲート電極、6は電子供給層3と合金化し2次元電子ガス4と電気的コンタクトがとれているソース電極、

ゆくと、ゲート下の2次元電子ガスが減少してドレイン電流が減少し、逆にゲート電圧を正に大きくしてゆくと、ゲート下の2次元電子ガスが増加してドレイン電流が増加する。つまり、ドレイン電流はゲート電圧によりn-Al_{0.3}Ga_{0.7}Asのキャパシタンスを通して制御される。したがって、相互コンダクタンス(g_m 、ゲート電圧の変化に対するドレイン電流の変化分)はMOSFET^Tと同様の形で記述される。リニア領域では、

$$g_m = \frac{\partial I_D}{\partial V_{BG}} = \frac{Z}{L} \mu_n C_i V_D$$

となる。ここで、Zはゲート幅、Lはゲート長、 μ_n は2次元電子の移動度、 C_i はn-Al_{0.3}Ga_{0.7}Asの単位面積当りのキャパシタンス、 V_D はドレイン電圧である。 g_m を高めるにはZ、 μ_n 、 C_i 、 V_D を大きくしLを小さくする必要があるが、 μ_n はほぼ一定であり、また集積化を考えるとZ、Lは共に小さくなり、 V_D も大きくできないため、 C_i を大きくすることが要求される。 C_i を大きくすることはn-Al_{0.3}Ga_{0.7}Asの厚さを薄くすることに対応するが、次の理由によりこの

BEST AVAILABLE COPY

7は6と同様のドレイン電極である。

第4図は第3図に示すFETのゲート電極下のバンド構造を示す図である。第4図において、第3図と同じ番号のものは同一機能を有するものである。
E_cは伝導帯頂、E_fはフェルミ単位、E_vは充满帯端である。

次に、第3図に示す従来の2次元電子を利用してFETの動作について説明する。ここでFETは第1の半導体層2がGaAs、電子供給層3がn型のAl_{0.3}Ga_{0.7}Asで形成されているものとし、またソースを零単位とし、ドレインには正電圧が印加されているものとする。

ゲート電圧(V_G)が0Vの場合、n-Al_{0.3}Ga_{0.7}Asは完全に空穴化し、第4図に示すバンド構造になっているものとするとゲート下のAl_{0.3}Ga_{0.7}As/GaAs界面(GaAs側)にはn-Al_{0.3}Ga_{0.7}As中のイオン化したドナーにより誘起された2次元電子ガスが形成されており、ソース・ドレイン間には2次元電子ガスを通じてドレイン電流(I_D)が流れる。ここで、ゲート電圧を負に大きくして

厚さを極端に薄くすることはできない。n-Al_{0.3}Ga_{0.7}Asを薄くするためには、n-Al_{0.3}Ga_{0.7}Asの不純物濃度を厚さの2乗に逆比例して増加させる必要がある。この不純物濃度の増加はゲート耐圧を低下させゲートリーアク電流を増大させるため、正常なトランジスタ動作が行えないようになる。この系の場合、n=5×10¹⁸ cm⁻³で厚さ200Å程度が限界と考えられ、相互コンダクタンスの最大値としては1μm以下のゲート長で単位面積当たり1000mS程度と予想される。超高速動作デバイスとしては相互コンダクタンスは数千mS以上が必要であると考えられるため、この程度の値では不充分である。

以上述べたように、従来の2次元電子を利用してFETではMOSFETと同様の動作機構によるため相互コンダクタンスを増大させるのが困難であり、超高速動作デバイスとしては能力不足である。

(発明の目的)

本発明の目的は、上記欠点を除去し、バイポーラトランジスタと同様に非常に大きな相互コンダ

クタンスを有し超高速動作が可能な半導体装置を提供することにある。

(発明の構成)

本発明によれば、極低不純物濃度の第1の半導体層と、該第1の半導体層上に設けられて該第1の半導体層より電子親和力が小さい第2の半導体層と、該第2の半導体層上に設けられて第1の半導体層より電子親和力が小さくかつ第2の半導体層より電子親和力と禁止帯幅の和が小さく、n型不純物を含有する第3の半導体層と、該第3の半導体層上的一部分に設けられ、p型不純物を高濃度に含有する第4の半導体層と、該第4の半導体層上に設けられかつ該第4の半導体層とオーミック接合を形成するゲート電極と、該ゲート電極を挟んで第1の半導体層と第2の半導体層との界面に存在するキャリアと電気的コンタクトを形成する一对の電極とを含むことを特徴とする半導体装置を得られる。

(発明の原理)

本発明のFETの動作原理は、第1の半導体層と

2の半導体層、9は第1の半導体層2より電子親和力が小さくかつ第2の半導体層8より電子親和力と禁止帯幅の和が小さく、n型不純物を含有する第3の半導体層、10はp型不純物を高濃度に含有する第4の半導体層である。ここで、第2の半導体層8のE_vレベルは第1の半導体層2のE_vレベルより高くても低くても良い。また第2の半導体層8はn型不純物を含有しても良いが、ゲートリーキ電流を抑える上からは含有しない方が良い。さらに第2の半導体層8の厚さは、薄い方が良いが正孔が第3の半導体層9から第1の半導体層2へのトンネル効果によりほとんどぬけてしまうのを防ぐだけの厚さは必要である。この厚さは第2の半導体層8と第3の半導体層9とのE_vの差の量により異なるが、一般には数Å～数十Åあれば充分である。第4の半導体層10の材料は第3の半導体層9へ正孔を注入できるものであれば何でも良いが、注入効率を高める上から第4の半導体層と接触している面での第3の半導体層9と同一材料または第3の半導体層9より電子親和力と禁

止帯幅との和が大きな材料が望ましい。

第2の半導体層との界面に形成される2次元電子を、第4の半導体層から第2の半導体と第3の半導体との界面に注入する正孔によって制御するものである。注入された正孔は、第1の半導体と第2の半導体層との界面において次々に2次元電子を誘起させながらソース電極へと動いてゆく。誘起された2次元電子はドレイン境界により高速度でドレインに引き込まれドレイン電流となる。注入される正孔の量はゲート電圧の増加で指数関数的に増大するので、同様にドレイン電流も指数関数的に増加する。したがって、本発明のFETにより、高い相互コンダクタンスが容易に実現される。

(実施例)

以下、本発明の実施例について図面を用いて説明する。

第1図は本発明の実施例の断面模式図である。第1図において、第3、4図と同じ番号のものは第3、4図と同等物で同一機能を果すものである。8は第1の半導体層2より電子親和力が小さい第

止帯幅との和が大きな材料が望ましい。

本発明の構造を実現できる例としては、第1の半導体層2が高純度GaAs、第2の半導体層8が厚さ20Å程度のAl_{0.3}Ga_{0.7}As、第3の半導体層9が厚さ500Å程度でn型不純物濃度が1×10¹⁸cm⁻³程度のn-Al_{0.3}Ga_{0.7}As、第4の半導体層が厚さ100Å程度でp型不純物濃度が1×10¹⁸cm⁻³以上のp⁺-Ga_{0.3}Ga_{0.7}Asからなるものがある。

以下、本実施例の動作を、各半導体層に前述の材料を用い、このバンド構造図である第2図を用いて詳細に説明する。

第2図は第1図に示すFETのゲート電極下のバンド構造を示す図である。第2図において、第1、3、4図と同じ番号のものは第1、3、4図と同等物で同一機能を果すものである。

このバンド図は熱平衡状態を表わしたものであり、バンド構造を理解し易くするため2次元電子ガス4が形成されている状態(ディブレッシュンモード)を示している。超高速動作用のFETでは熱平衡状態では2次元電子ガス4が形成されてない状

態(エンハンスメントモード)を用いる方が望ましい。

ゲート電極に正電圧を印加すると $p^+ - Al_{0.3}Ga_{0.7}As$ 層 10 と $n - Al_{0.3}Ga_{0.7}As$ 層 9 の接合は順バイアス状態になる。この時、 $n - Al_{0.3}Ga_{0.7}As$ 層 9 はほぼ完全に空乏化しているので、順バイアスによる $n - Al_{0.3}Ga_{0.7}As$ 層 9 から $p^+ - Al_{0.3}Ga_{0.7}As$ 層 10 への電子の注入はほとんど無視できる。一方、 $p^+ - Al_{0.3}Ga_{0.7}As$ 層 10 から $n - Al_{0.3}Ga_{0.7}As$ 層 9 への正孔の注入は顕著である。注入された正孔は $n - Al_{0.3}Ga_{0.7}As$ 層 9 を経て $n - Al_{0.3}Ga_{0.7}As$ 層 9 と $AlAs$ 層 8 の界面に到達するが、ここに正孔に対する障壁があるためこの界面にたまる。たまたま正孔のほとんどはソース・ゲート間の電界により $n - Al_{0.3}Ga_{0.7}As$ 層 9 を通りソース電極側に移動する。また一部は $AlAs$ 障壁を熱的に越えるかまたはトンネル効果で抜けて $GaAs$ 層に入り、ソース電極に移動するかまたは電子との再結合により消滅する。 $n - Al_{0.3}Ga_{0.7}As / AlAs$ 界面に正孔がたまると、

い相互コンダクタンスを共に備えたものである。

本実施例によるトランジスタの作製として、まず結晶成長方法として MBE (Molecular Beam Epitaxy) を用い、半絶縁性 $GaAs$ 基板 1 上に厚さ $1 \mu m$ の高純度 $GaAs$ 層 2 を成長させ、続いて厚さ 20 \AA の高純度 $AlAs$ 層 8、厚さ 300 \AA で $1 \times 10^{18} \text{ cm}^{-3}$ の Si 不純物を含む $n - Al_{0.4}Ga_{0.6}As$ 層 9、厚さ 100 \AA で $3 \times 10^{18} \text{ cm}^{-3}$ の Be 不純物を含む $p^+ - Al_{0.4}Ga_{0.6}As$ 層 10 を成長させた。次に Al を蒸着しバーニングしてゲート電極 5 とし不用な $p^+ - Al_{0.4}Ga_{0.6}As$ 層 10 をこれをマスクに除去し、 $AuGe / Au$ のソースおよびドレイン電極を蒸着およびアロイしてトランジスタを完成させた。その結果、ゲート長 $0.5 \mu m$ 、ゲート・ソース間およびゲート・ドレイン間が $0.5 \mu m$ のものにおいて、 $I_m = 5000 \text{ mA} / \text{mm}$ (1 mm ゲート幅当たり)、 $\rho = 200$ の特性が得られた。

上記の本発明の実施例では半導体材料として $GaAs / AlGaAs$ を示したが、他の半導体材料(例えば $InGaAs / InP / InAlAs$)でも良い

正孔の量に対応して $AlAs / GaAs$ 界面に 2 次元電子が誘起される。誘起された 2 次元電子は高い移動度を有しているのでソース・ドレイン間の電界によって瞬時にドレイン側に流れゆき、その結果再び正孔により 2 次元電子が誘起される。したがって、 $p^+ - Al_{0.3}Ga_{0.7}As$ 層 10 から注入された正孔はソース電極に吸収されるまでに多数の 2 次元電子を誘起せることになり、ドレイン電流とゲート電流(主に正孔電流)との比(電流増幅率 β)は非常に大きなものとなる。また $p^+ - Al_{0.3}Ga_{0.7}As$ 層 10 から $n - Al_{0.3}Ga_{0.7}As$ 層 9 へ注入される正孔の数は順バイアス電圧(ほどゲート電圧に対応)の指数関数で増加するため、相互コンダクタンスもゲート電圧の増加で指数関数的に増加し非常に大きなものとなる。

以上述べたように本発明によるトランジスタは、構造的には従来の 2 次元電子ガス FET と類似であるが、動作特性の上からはバイポーラトランジスタと類似しており、従来 FET の持つ高集積化に適した構造およびバイポーラトランジスタの持つ高

ことは明らかである。

本発明の第 2 ~ 第 4 の半導体層は均一組成、均一ドーピングでなくてもよい。短周期の超格子を用いたり、厚さ方向の組成の変化やドーピングの変化をつけても良い。短周期の超格子は 2 つの材料で第 1 ~ 第 4 の半導体層すべてを実現できる利点がある。組成の変化は表面層の保護の点で重要である(例えば、第 3 の半導体層を $n - Al_{0.3}Ga_{0.7}As$ から $n - GaAs$ に徐々に変化させる)。ドーピングの変化は正孔の注入効率を高める(第 3 の半導体層上部を低不純物濃度とする)上で重要である。また、ソースおよびドレイン電極の形成は第 3 の半導体層上だけでなくこの層を掘り下げたところで形成したり、第 4 の半導体層を残しその上に付けても良い。

(発明の効果)

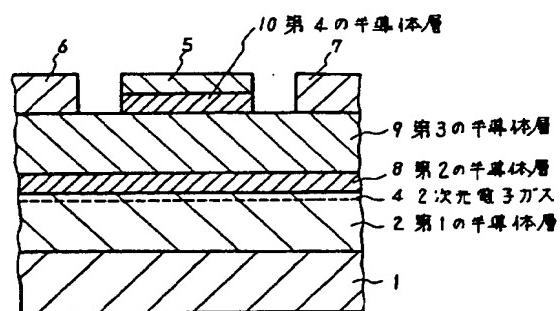
以上詳細に説明したように、本発明によれば、高集積化が容易でシステム全体を超高速で動作させることが可能な半導体装置が得られるので、その効果は大きい。

図面の簡単な説明

第1図は本発明の実施例の断面図、第2図は第1図のゲート電極下のバンド構造図、第3図は従来の2次元電子ガスFETの断面図、第4図は第3図のゲート電極下のバンド構造図である。

- | | |
|-----------|------------|
| 1…基板 | 2…第1の半導体層 |
| 3…電子供給層 | 4…2次元電子ガス |
| 5…ゲート電極 | 6…ソース電極 |
| 7…ドレイン電極 | 8…第2の半導体層 |
| 9…第3の半導体層 | 10…第4の半導体層 |

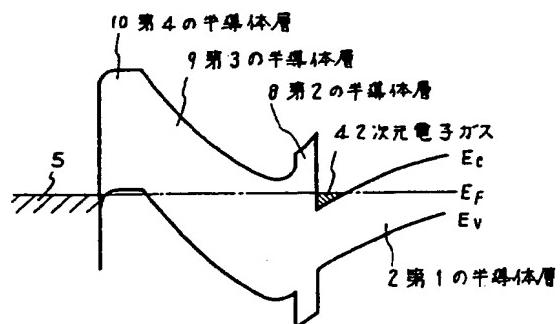
第1図



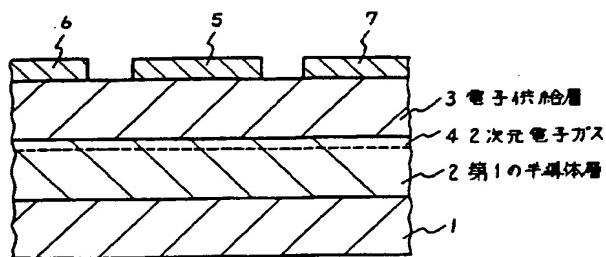
代理人弁理士内原晋



第2図



第3図



第4図

